

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-205773

(43)Date of publication of application : 25.08.1988

(51)Int.Cl.

G06F 15/62

(21)Application number : 62-038925

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.02.1987

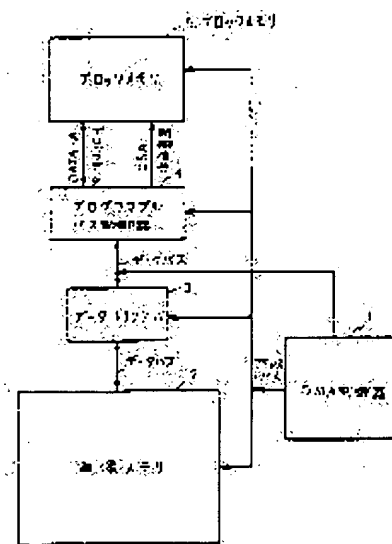
(72)Inventor : MARUYAMA TAKUMI

(54) IMAGE EDITING SYSTEM

(57)Abstract:

PURPOSE: To simply and rapidly execute image editing processing by executing data transfer between an image memory for storing image information and a block memory for storing an image block obtained by dividing image information through a DMA control information device and a bus controller for program processing without passing a CPU.

CONSTITUTION: An I/O data bus for a block memory 5 is opened/closed by an address signal sent from a DMA controller 1 and a control signal previously written in a programmable bus controller 4 to transfer necessary data from the block memory 5 to the image memory 2 or the image memory 2 to the block memory 5 and execute image edition. Thereby, data can be simply transferred between the memories without passing the CPU. Consequently, a transfer speed can be easily speeded up without increasing the load of the processor and the system can be simply expanded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-205773

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月25日

G 06 F 15/62

6615-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 イメージ編集方式

⑯ 特 願 昭62-38925

⑰ 出 願 昭62(1987)2月20日

⑱ 発 明 者 丸 山 巧 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

イメージ編集方式

2. 特許請求の範囲

中央処理装置CPUを介さずバスを經由してメモリ間のデータ転送を制御するDMA制御器(1)と、

該DMA制御器(1)の出力により転送制御されるイメージ情報(画像データ)を格納する画像メモリ(2)と、

該画像メモリ(2)の格納する画像データを前記DMA制御器(1)の出力によりデータバス上で送受信するデータ・トランシーバ(3)と、

該データ・トランシーバ(3)の送受信するデータ(DATA)をDMA制御器(1)の出力により制御しブロックデータ(DATA A)と予め書き込まれたバス制御信号(CSA)を出力するプログラマブルバス制御器(5)と、

該プログラマブルバス制御器(5)の出力する

ブロックデータ(DATA A)をバス制御信号(CSA)により格納するブロックメモリ(4)とを具え、前記画像メモリ(2)とブロックメモリ(4)間のデータ転送を前記DMA制御器(1)とプログラマブルバス制御器(5)の出力により行うことを特徴とするイメージ編集方式。

3. 発明の詳細な説明

〔概要〕

イメージ情報の編集処理において、イメージ情報を格納する画像メモリとイメージ情報を分割したイメージブロックを格納するブロックメモリ間のデータ転送をCPUを介さずDMA制御器とプログラム処理のバス制御器によって行うようにしてイメージ編集処理を簡単且つ高速に行えるようにしたもの。

〔産業上の利用分野〕

本発明はマイクロプロセッサを用いたイメージ(画像)情報の編集処理に係り、特にイメージ情

段編集としての分割したイメージ情報（ブロック）の合成および分離処理方式に関する。

プロセッサを用いたイメージ編集処理としては、画像処理の高速化と高機能化が要求されるが、その反面、プロセッサの処理負担を軽減し、イメージ情報を分割したブロック情報の合成及び切出しを簡単且つ高速に行う事が出来るようにして、プロセッサの編集処理能力を向上させることも望まれている。

〔従来の技術〕

従来のイメージ編集方式の構成を第4図に示す。従来のイメージ編集のためのデータ転送は、中央処理装置CPUが、編集のための転送データを保有しているメモリ装置M1や入出力装置I/Oを指定するアドレス信号と読出し信号を出力して、CPU内部のレジスタにデータをロード後、転送データの送り先であるメモリ装置M2を指定するアドレス信号と書き込み信号および上記レジスタの内容を出力してデータ転送を行っている。

てメモリ間のデータ転送を制御するイメージ編集用のDMA制御器、

2はDMA制御器1の出力により転送制御されるイメージ情報（画像データ）を格納する画像メモリ、

3は画像メモリ2の入出力画像データの送受信をDMA制御器1の出力により行うデータ・トランシーバ、

4は該データ・トランシーバ3の送受信するデータ（DATA）をDMA制御器1の出力により、制御しブロックデータ（DATA A）と、予め書き込まれたバス制御信号（CSA）を出力するプログラマブルバス制御器、

5は該プログラマブルバス制御器4の出力するブロックデータ（DATA A）を、バス制御信号（CSA）により格納するブロックメモリである。

〔作用〕

DMA制御器1はその出力するアドレス信号により、イメージ編集用のブロックメモリ5から画

すなわち、CPUはデータ転送に必要なアドレス信号および制御信号の出力に要する時間と同程度以上の時間を転送回数の計算や転送のための処理に費やしている。

〔発明が解決しようとする問題点〕

このような方式で大容量のデータを連続して転送する従来のイメージ編集方式は、データ転送に要する時間とCPUの負荷を著しく増加させる。

従って、イメージ編集を能率よく行う為、データ転送を高速化することは容易でなく又システムの増設も簡単には出来ないという問題がある。

〔問題点を解決するための手段〕

この問題はメモリ間のデータ転送をCPUを介さずバス経由で直接行うDMA制御により行う本発明によって解決される。

本発明の構成を示す第1図の原理ブロック図において、

1は中央処理装置CPUを介さずにバスを經由し

像メモリ2に対して単にイメージ情報のブロックデータDATA Aの転送制御を行う。その際、ブロックメモリ5には、画像データを分割したイメージ情報（イメージブロック）が蓄積されており、プログラマブルバス制御器4は、予めプログラムにより書き込まれた編集位置情報などの制御信号CSAによりブロックデータDATA Aのデータバスを開閉してブロックメモリ5のデータの入出力制御を行うことで一画面の編集処理を行う。

また逆に、DMA制御器1とプログラマブルバス制御器4の出力により、画像メモリ2のデータDATAをブロックメモリ5に転送して、イメージ編集に必要なブロックデータDATA Aに分解して格納することも出来る。

要するに、DMA制御器1の送出するアドレス信号とプログラマブルバス制御器4の予め書き込まれた制御信号によって、簡単にブロックメモリ5の入出力データバスを開閉して必要データをブロックメモリ5から画像メモリ2へ、又は画像メモリ2からブロックメモリ5へ転送してイメージ編

集を簡単に行うことが出来る。

本発明のイメージ編集方式は、上述の如く、中央処理装置のプロセッサを介さず簡単にメモリ間でデータ転送ができるので、該プロセッサの負荷を重くすることなく、転送速度を高速化することが容易であり又システムの増設も簡単にできて問題が解決される。

(実施例)

第2図は本発明の実施例のイメージ編集方式の構成を示すブロック図であって、第3図はその動作を説明するためのタイムチャートである。

第2図において、DMA制御器1は、CPUがシステムバスの専有権を放棄している期間にメモリ間で直接に高速データ転送できるイメージ編集用のDMAコントローラ(DMAC)であって、画像メモリ2はイメージ編集用の画像データを格納するメモリである。

ブロックメモリ5は、画像データを分割したブロックデータDATA A, DATA B, DATA Cを夫々格納

ブロックデータ)が蓄積されており、プログラマブルバス制御器4の制御器A, B, Cが、予め書込まれた編集位置情報CSA, CSB, CSCとDMA制御器1の出力するアドレス信号により、その各データバスを開閉してブロックメモリ5の各メモリA, B, Cのブロックデータの出力制御を行うことで一面の編集処理を行う。

また逆に、画像メモリ2の格納している画像データを、DMA制御器1のアドレス信号とプログラマブルバス制御器51~53の編集位置情報CSA, CSB, CSCにより、ブロックメモリ5のメモリA, B, Cに転送してイメージ編集に必要なブロックデータに分解して格納することが出来る。

第3図の動作タイムチャートにおいて、①はイメージ編集のDMA制御器(DMAC)の送出するアドレス信号であって、②はプログラマブルバス制御器A, B, Cに予め書き込まれた編集位置情報の制御信号CSA, CSB, CSCである。

③はブロックメモリA, B, Cに夫々格納されているイメージ編集データDATA A, DATA B, DATA Cで

する51, 52, 53のメモリA, メモリB, メモリCであって、画像メモリ2との間で、DMA制御器1の出力するアドレス信号により制御されイメージ編集用データの転送を行う。

データ・トランシーバ3は、画像メモリ2のデータDATAとブロックメモリ5のメモリA, B, CのブロックデータDATA A, DATA B, DATA Cの送受信を司る送受信器であって、やはり、DMA制御器1の送出するアドレス信号により制御されて行う。

プログラマブルバス制御器4は、41, 42, 43の制御器A, B, Cからなり、予めプログラムにより書込まれた編集位置情報などの制御信号CSA, CSB, CSCによりブロックデータDATA A, DATA B, DATA Cの入出力データバスを開閉してブロックメモリ5のブロックデータの入出力制御を行う。この各データバスの開閉もDMA制御器1の出力するアドレス信号により制御されて行われる。

イメージ編集の動作を説明すると、ブロックメモリ5のメモリA, B, Cには、前述の如く、イメージ編集に必要な分割されたイメージ情報(ブ

あって、④はDMA制御器(DMAC)の送出するアドレス信号①とプログラマブルバス制御器A, B, Cの編集位置情報②のCSA, CSB, CSCによって制御され、ブロックメモリA, B, CのデータDATA A, DATA B, DATA Cが編集されて画像メモリ2へ転送されるイメージ情報(画像)データである。

本実施例は、DMA制御器(DMAC)の送出するアドレス信号①とプログラマブルバス制御器A, B, Cの編集位置情報②によって、ブロックメモリA, B, CのブロックデータDATA A, DATA B, DATA C③を簡単に編集してイメージデータ④として画像メモリ2へ転送格納する、又は画像メモリ2の格納データ④をブロックメモリ41~43へ転送し分解してブロックメモリA, B, CのブロックデータDATA A, DATA B, DATA C③として格納する。

本実施例のイメージ編集方式は、上述の如くプロセッサを介さず簡単にメモリ間でデータ転送ができるので、プロセッサの負荷を重くすることなく、転送速度を高速化することが容易であり、又システム増設も簡単に出来て問題がない。

〔発明の効果〕

以上説明した如く、本発明によれば、イメージ編集方式におけるメモリ間のデータ転送をプロセッサの負荷を重くすることなく、高速化、大規模化することが出来る効果が得られる。

4. 図面の簡単な説明

第1図は本発明のイメージ編集方式の構成を示す原理ブロック図、

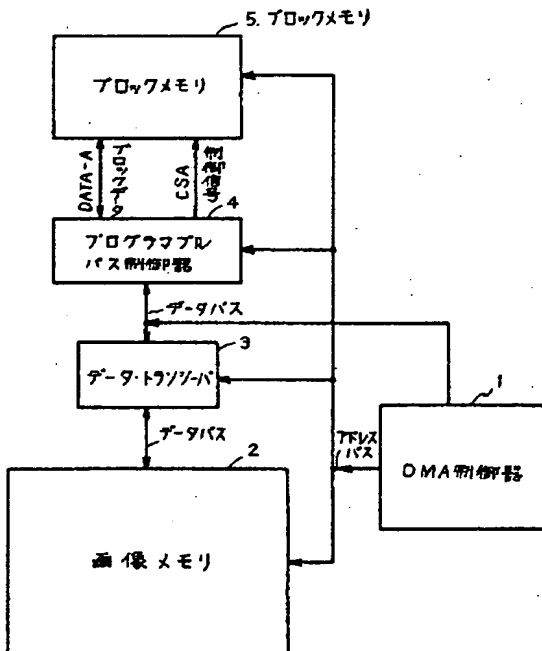
第2図は本発明の実施例のイメージ編集方式の構成を示すブロック図、

第3図は本発明の実施例のイメージ編集方式の動作を説明するためのタイムチャート、

第4図は従来例のイメージ編集方式の構成を示すブロック図である。

第1図、第2図において、

- 1はDMA制御器、
- 2は画像メモリ、
- 3はデータ・トランシーバ、

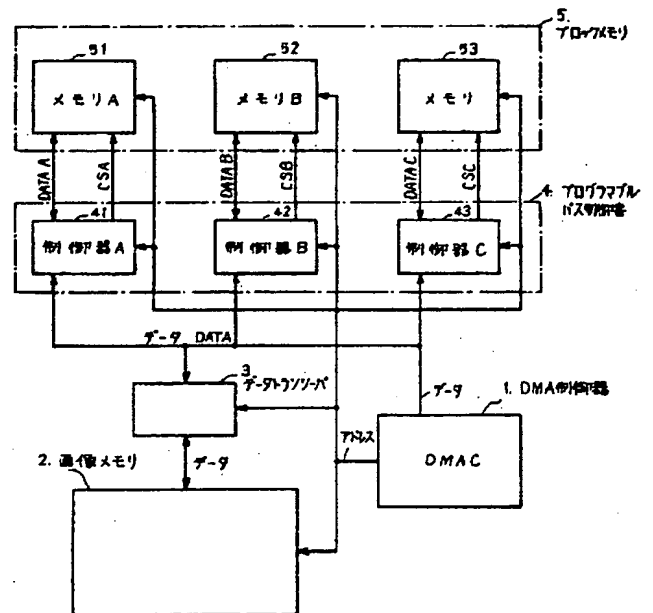


本発明のイメージ編集方式の構成を示す原理ブロック図

第 1 図

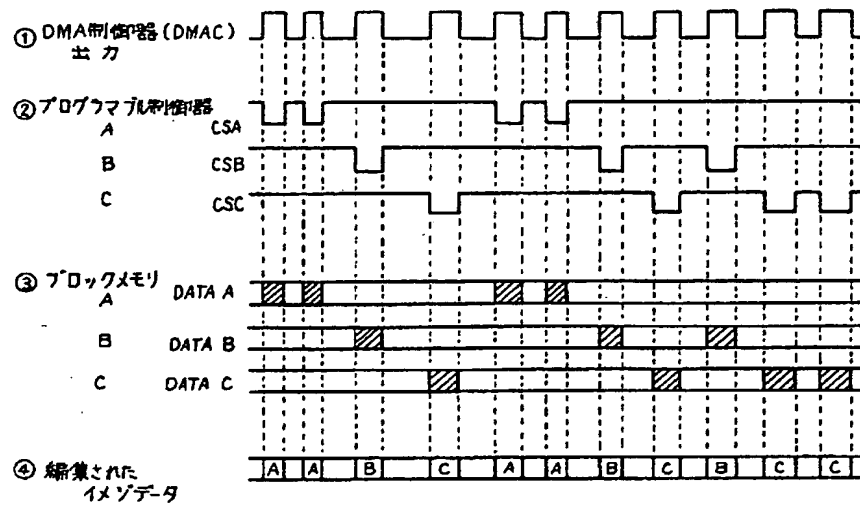
- 4, 41~43はプログラマブルバス制御器、
- 5, 51~53はブロックメモリである。

代理人 弁理士 井 術 貞 一



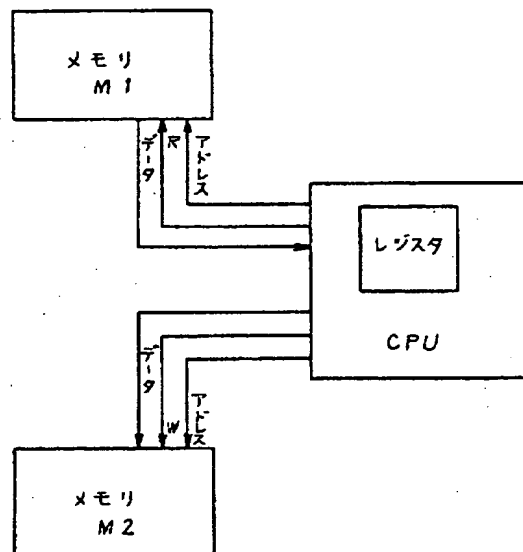
本発明の実施例のイメージ編集方式の構成を示すブロック図

第 2 図



本発明の実施例のイメージ編集方式の動作を説明するためのタイムチャート

第 3 図



従来例のイメージ編集方式の構成を示すブロック図

第 4 図